Stikord til HW-slides

1. HW-arkitektur (SysML)
   * Hvorfor?
   * **BDD** - man kommer frem til et visuelt overblik over systemets del-komponenter, og hvilke del-komponenter der arbejder sammen, og dermed må have forbindelse til hinanden.
   * **IBD** - brugt til at danne overblik over de forskellige blokkes forbindelser, og signaltyper.
2. Block Definition Diagram
   * Forklar om systemets opbygning
3. Internal Block Diagram
   * Forklar om forbindelser i mellem blokke
4. HW design, implementering og test
   * Kort benævnelse af hvilke blokke, X10.1 er opbygget op.
5. X10.1 (IBD)
   * **Senderdel,** består af transmitterkredsløb (senderkredsløb) og 1. ordens højpasfilter. Carriersignal fra arduino, udgangssignal til 18V netværk
   * **Zero-Cross detektor**, forbindelse fra **voltageconverter**, laver clock-signal, udgang til arduino.
   * **Modtagerdel,** består af 2. ordens højpasfilter (forbindelse fra **voltageconverter**), envelopedetektor. Indgangssignal fra 18V-netværk, udgangssignal til arduino.
6. Zero-Cross Detector
   * **Opbygning** er fundet i datablad LM339. OP-AMP skiftet til AD823, da vi allerede brugte disse. Tilføjet ekstra spærre-diode i knudepunkt, hvor D1 allerede sad i modsat spærreretning.
   * **Udgangssignal**, falling edge på zero-cross, hver gang der er rising edge på sinussignal. Rising edge på zero-cross, hver gang der er falling edge på sinussignal.
7. Senderkredsløb
   * Består af 3 dele
     + Indgangssignal fra **arduino**, 120 kHz genereret.
     + **Transmitterkredsløb**
     + **1. ordens højpasfilter**
8. Senderkredsløb – fortsat
   * Billede af input og output
9. Modtagerkredsløb
   * **Aktivt 2. ordens højpasfilter** – Vil blive omtalt yderligere senere
   * **Envelope detector** – Laver et firkant signal om til et digitalt signal.
   * **Forstærkningskredsløb** – Tilføjet under test af kredsløb, da udgangssignalet fra envelope detektoren, har været for lavt til at arduino kunne aflæse.
10. Modtagerkredsløb – fortsat
    * Ved 120 kHz signal, er outputtet højt, svarende til et digitalt ’1’. Ved 50 Hz, er outputtet lavt, svarende til et digitalt ’0’.
11. 2. ordens højpasfilter – modtagerkredsløb
    * **Fordel i forhold til 1. ordens højpas** 
      + Højere dæmpning i dB. **-40 dB** pr. dekade **kontra -20 dB** pr. dekade.
    * **Aktivt vs. Passivt** - *http://www.schematica.com/active\_filter\_resources/comparison\_of\_active\_and\_passive\_filters.html*
    * **Bodeplot** – godt overblik over hvilke og hvor meget frekvenser dæmpes.
    * Komponentværdier er bestemt ud fra knudepunktligninger og standard overførings funktion.
    * Her ses beregninger af R1 og R2, komponentværdier valgt ud fra, hvilke der er til rådighed på værkstedet.
    * Cutoff-frekvens for valgte værdier beregnet, for at sammenligne med den ønskede cutoff-frekvens.
12. 2. ordens højpasfilter – bodeplot
    * Bodeplot for vores højpas filter, med en ønsket cutoff-frekvens på 90 kHz.